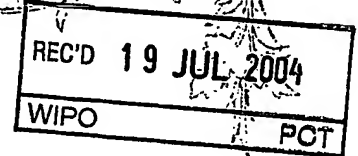


KR04/01625



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0045059
Application Number

출원 년 월 일 : 2003년 07월 03일
Date of Application JUL 03, 2003

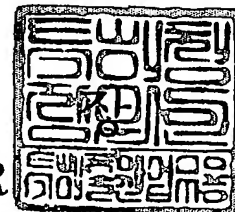
출원인 : 에피밸리 주식회사
Applicant(s) EPI VALLEY CO., LTD



2004 년 07 월 02 일

특 허 청

COMMISSIONER



PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.07.03
【국제특허분류】	H01L
【발명의 명칭】	질화갈륨계 반도체 발광소자
【발명의 영문명칭】	GaN-based Semiconductor Light Emitting Device
【출원인】	
【명칭】	에피밸리 주식회사
【출원인코드】	1-2000-040161-2
【발명자】	
【성명의 국문표기】	김극
【성명의 영문표기】	KIM,Keuk
【주민등록번호】	710319-1812815
【우편번호】	463-832
【주소】	경기도 성남시 분당구 분당동 106-9, 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	전수근
【성명의 영문표기】	JEON,Soo Kun
【주민등록번호】	720830-1459924
【우편번호】	573-320
【주소】	전북 군산시 경암동 544-18
【국적】	KR
【발명자】	
【성명의 국문표기】	김창태
【성명의 영문표기】	KIM,Chang Tae
【주민등록번호】	650714-1768513
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 장미마을 동부아파트 106-301
【국적】	KR

【심사청구】

【취지】

청구

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 출원인
에피밸리 주식회사 (인)

【수수료】

【기본출원료】

12 면 39,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

22 항 813,000 원

【합계】

852,000 원

【감면사유】

중소기업

【감면후 수수료】

426,000 원

【기타】

출원서 부분(정본) 1통

【첨부서류】

1. 요약서·명세서(도면)_2통

【요약서】

【요약】

본 발명은 질화갈륨계(III 족 - N) 화합물 반도체 발광다이오드 소자에 있어서, 표면결자를 형성하여 높은 외부 양자 효율을 가지는 LED에 관한 것이다. 일반적인 GaN를 기본으로 하는 III 족-N 화합물 반도체 LED소자에 있어서 소자의 발광부위를 제외한 외부에 표면결자를 형성하여 내부에서 생성되는 광자가 소자의 외부로 방사하는 다양한 입계각을 형성하여 높은 외부양자 효율을 갖는 소자이다.

【대표도】

도 2

【색인어】

GaN, LED, Surface grating, 양자 효율, 표면결자, 발광다이오드

【명세서】

【발명의 명칭】

질화갈륨계 반도체 발광소자 { GaN-based Semiconductor Light Emitting Device }

【도면의 간단한 설명】

제 1 도 기존의 일반적인 질화갈륨계 발광다이오드 소자의 단면도

제 2 도 높은 외부양자효율을 갖는 표면격자를 형성한 소자의 단면도

제 3 도 제2도의 평면도

제 4 도 표면격자를 통한 광자의 진행 궤적

제 5 도 제2도의 실시 예

제 6 도 일반적인 소자와 본 발명에 의한 소자의 회도 비교도표

< 도면의 주요 부분에 대한 부호의 설명 >

20 : 기판

30 : 버퍼층

31: n-GaN

32 : n-Al(x)Ga(y)In(z)N

33 : 활성층 -Al(x)Ga(y)In(z)N

34 : p-Al(x)Ga(y)In(z)N

35 : p-GaN

51 : 투명 전류 확산용 전도막

52 : n형 본딩 pad

53 : p형 본딩 pad

54 : 표면격자

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 높은 외부 양자 효율을 위해 소자의 표면에 표면격자를 형성한 질화갈륨계 광소자에 관한 것이다. 일반적인 발광 소자를 구성하는 반도체는 외부 환경 (에폭시 혹은 공기층)에 비해 높은 굴절률을 가짐으로 해서 전자와 정공의 결합으로 인해 생기는 대다수의 광자는 소자 내부에 머물기 때문에, 외부 양자 효율은 그 소자가 가지는 구조적인 형태와 그 소자를 구성하는 물질들의 광적 특성에 따라 많은 영향을 받게 된다. 소자 내부에서 생성된 광자는 외부로 탈출하기 전에 박막, 기판, 전극 등을 여러 경로를 통해서 거치게 되는데 이에 따른 흡수는 외부 양자 효율을 감소시키게 된다. 특히 GaN를 기본으로 하는 질화갈륨계 화합물 반도체 광소자에 있어서는 P-GaN의 낮은 전도도 때문에, 효율적인 전류 확산을 위해서 상층의 대다수의 영역에 일정한 두께의 전도막을 형성하게 되는데, 이러한 전도막 의한 광자의 흡수는 외부 효율의 감소로 소자의 효율을 많이 저하 시키게 된다. 또한 소자구조의 결정 성장을 하는 기판이 없기 때문에 높은 격자 부정합에도 불구하고 사파이어 기판을 사용한다. 기판으로 사용되는 사파이어는 전기적인 절연체이기 때문에 n-GaN에 접촉전극을 소자의 뒷면에 형성이 불가능하여 소자의 한 부분을 n-GaN가 노출되도록 식각하여 전극을 형성한다. 이러한 소자제작기법으로 인해 소자의 형태를 변형하여 외부양자효율을 높이는데 많은 제약이 따른다.

<16> 기존 표면격자 형성에 관한 기술은 AlGaInAs, AlGaInP 등의 계열에서 많은 연구가 되었고 실제 많은 응용소자들이 상용화 되어 있다. 특히 AlGaInAs, AlGaInP 등의 계열의 소자를 형성하는 반도체박막의 굴절률(GaAs, $n=3.5$)이 광자가 반도체에서 탈출하는 공기($n=1$), 혹은 에폭시($n=1.5$) 보다 대단히 높아서 실제 탈출하는 광자는 아주 소량이다. 광자가 진행하는 각도

에 따라서 탈출할 수 최대 임계각은 발광소자를 형성하는 물질의 굴절률에 밀접한 관계가 있다. 반도체에서 공기로 탈출하기 위한 최대 임계각은 그 관계식($\theta_c = \arcsin(1/n)$, θ_c : 최대 임계각, n : 반도체의 굴절률)에 의해 결정된다. 수식에 의해 광자가 GaAs에서 공기 중으로 탈출하는 최대임계각은 16도 정도로 아주 작다. 이러한 광자가 탈출하는 최대임계각의 제한에 의해 실제 활성층에서 생성된 광자가 외부로 탈출하는 양은 2% 정도로 아주 작은 양이다. 이런 제약을 극복하고자 여러 기술들이 제안 되었고 그 중에 가장 효과적인 것으로 발광소자의 형태를 변형한다든지 혹은 표면에 표면격자들을 형성하여 외부양자 효율을 높이는 기술들이 가장 많이 연구되어 사용되어져 왔다. 이런 표면 격자들은 광자가 발생하는 활성층의 바로 윗부분 혹은 아래 부분에 습식 및 건식식각을 통해 형성하고, 이렇게 표면격자를 형성한 소자는 외부 양자효율을 일반 소자보다 30%이상 증가한다고 알려져 있다[Heremans et al., "Method of manufacturing surface textured high-efficiency radiating devices and devices obtained therefrom", US patent : US6504180B1].

<17> 또한 발광소자의 형태를 사다리꼴모양을 가진 육면체 구조로 제작하여 외부 양자효율을 높이는 기술도 사용되어져 왔다[Krames et al., LED having angled sides for increased side light extraction", US patent : US6570190B2].

<18> 이러한 표면격자를 형성하여 외부양자 효율을 높이는 기술이 질화갈륨계 발광 소자에 적용되지 못한 이유로는 다음과 같다. 첫째, 사파이어 기판에서 뿐만 아니라 서로 다른 질화갈륨계 반도체(AIN, GaN, InN)들 서로가 높은 격자 부정합으로 인해 소자의 최상층을 형성하는 p-GaN를 성장함에 있어 두께에 많은 제약을 받는다. 두껍게 성장할수록 격자부정합으로 인한 결정의 결함이 두드러지게 되고, 또한 광자의 흡수 또한 커져서 두껍게 성장함이 용이하지 않다. 일반적으로 그 두께가 200nm가 넘지 않는다. 따라서 아주 얇은 박막에는 표면격자형성이

불가능하다. 둘째, 앞서 언급하였듯이 기판의 부재로 인해 사용되는 사파이어 기판이 절연체이고 또한 결정의 결합에너지가 매우 높고 안정적인 물질이 때문에 표면격자형성이 매우 어렵다.

<19> 비록 질화갈륨계 화합물 반도가 투명하고 비교적 굴절률(GaN , $n=2.5$)이 낮아 광자가 탈출할 수 있는 최대 임계각(GaN , $\theta_c=24.6^\circ$)이 커서 비교적 광 특성이 우수하다고 알려져 있지만 실제 내부에서 소멸되는 광자가 70%이상이다.

<20> 현재 질화갈륨계의 발광소자의 경우 외부양자효율을 높이는데 많은 기술들이 개발되어져 왔고, 가장 대표적인 기술들로는 플립칩 기술(US Patent : US6573537B1)과 질화갈륨계 발광소자를 형성하는 최상층인 p형 반도체층의 표면의 거칠기를 높이거나(US patent : US6441403B1), p형 반도체층 표면에 물결무늬를 형성하는 기술(US patent : US6420735B2)등이 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명에서는 일반적으로 질화갈륨계 발광 소자에서 발광되는 부위를 제외한 외부에 n형 반도체 접촉전극을 형성하기위한 건식식각을 할 때 동시에 표면격자를 형성하여 높은 외부양자 효율을 확보하고자 한다.

【발명의 구성】

<22> 현재 발광다이오드 소자로 생산되고 있는 칩의 보편적인 형태가 제1도이다. 기판으로 사용되어지는 사파이어가 절연체 이므로 제1도에서처럼 표면에 p, n형 금속접촉을 형성하여 제작한다. 발광부위에 얇은 투명전극(51)을 통해 빛이 발광되는 구조이다. 이러한 구조에서는 형태의 변경이 어렵고, 또한 최상층이 얇은 p형(35) 반도체로 이루어져 있어 표면에 표면격자를 형성하기가 매우 까다롭다. 비교적 두꺼운($>1\mu\text{m}$) 최상층의 p-GaN(35) 층을 형성하면 표면격자의

형성이 용이하나 현재의 성장기술로는 양질(良質)의 결정성을 갖는 두꺼운 p형을 성장하기가 불가능하고, 두껍게 성장했을때 저항의 증가로 소모 전력이 커 질 뿐만 아니라 활성 층에서 발생한 광자가 p형 반도체 층에서 흡수 또한 커져서 오히려 소자의 휘도가 감소하게 된다. 이러한 제약으로 인해 발광부인 활성층(33)의 위 표면인 p-GaN(35)층에 표면결자를 형성하는 것이 현재 기술로는 불가능하다.

<23> 제 2 도에 예시되어 있는 것과 같이 외부양자효율 증가를 위해 소자표면에 표면결자가 형성되어 있는, 본 발명에 따른 반도체 LED 소자의 특징은, III 족 - N 계열 화합물 반도체 LED 소자에 있어서, 기판(20) 위에 적절한 버퍼층(30), 하층의 $n\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층(32), $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 활성층(33), $p\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층(34), 고농도의 n 또는 p 도핑된 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층이나 이물질들로 이루어진 초격자 구조층(34)층을 구비한 화합물 반도체 발광 디바이스에 있어서, 최상층에 접하여 발광부 전면에서 p형 접촉을 얇은 투명 전극으로 형성하고, p 층(35), 활성층(33) 및 하층의 n층(31)의 일부를 제거하여 노출된 n형 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ 층(32)에 접하여 n-ohmic 금속(52)을 형성하고, p형의 아주 얇은 투명전극(51) 상에 p-형 본딩 pad(53)를 형성한 후에 chip 표면의 전부 또는 일부에 절연성 보호막을 형성한다.

<24> 본 발명은 발광 부를 제외한 소자의 외부에 표면결자를 형성한 것을 특징으로 하고 있다. 비록 광자가 생성되는 활성층(33)의 위 혹은 아래 부분에 형성이 되지 않더라도 외부 양자효율은 증대한다. 소자 내부에서 각 결정층, 반도체와 공기와 접촉되는 계면에서 광자가 탈출할 수 있는 최대 임계각 보다 입사각이 큰 광자들은 반사되고 이렇게 반사되어진 광자들은 계면에서의 반복된 반사로 인해 소멸되어진다. 제4도에서 보이는 것처럼 계면 혹은 표면에서

반사되어 소멸되어지는 광자들이 표면격자를 형성하면 표면격자에 입사된 광자들이 반도체와 공기사이의 계면에서 새로운 입사각을 가지게 되고 반도체 외부로 탈출 할 수 있게 된다. 소자 전체에서 표면격자가 비록 작은 부분을 차지하고 있을 지라도 소자내부에서 반사만 반복하게 되어 소멸되는 광자가 발광부(51) 외부의 표면격자(54)를 만날 확률은 매우 높게 된다.

<25> 표면격자에 의해서만 소자내부에서 소멸되는 광자들이 소자의외부로 탈출하는 순수한 양은 표면격자를 형성하는 면적, 표면격자의 모양, 표면격자의 크기, 밀도 등에 밀접한 관련이 있다. 표면격자를 구성하는 부분의 면적이 크면 클수록 내부에서 소멸되는 광자들의 탈출 가능성이 더욱 높아지지만 소자크기의 제한으로 인해 표면격자를 형성할 수 있는 부분의 크기가 제약을 받는다. 표면격자 각각의 크기는 소자에서 발생하는 중심파장의 1/4배 보다 크기만 하면 되고, 밀도는 클수록 탈출하는 광자가 많아지며, 표면격자의 모양은 육각, 사각, 삼각 원 등의 다양한 형태가 가능할 뿐만 아니라 그 중 2개 혹은 2개 이상의 모양의 혼합도 가능하다. 각 표면격자의 크기 또한 임의의 크기를 가지는 것 또한 가능하다.

<26> 본 발명에서는 표면격자의 밀도를 공정의 한계인 미세선폭의 제한(>2um) 내에서 최대한 하기 위해 육각모양을 사용하였고 각 표면격자의 표면적은 $1.5\mu\text{m} \sim 4\mu\text{m}^2$, 높이는 $0.5\mu\text{m} \sim 1.5\mu\text{m}$ 이다. 표면격자를 형성한 부분은 소자 발광부(51) n-pad metal(52)부분을 제외한 테두리에 넓이가 50um 정도로 형성하였다. 소자 전체 면적에 비해 표면격자가 차지하는 넓이의 비는 27% 정도 이다.

<27> 일반적으로 소자 제작을 위해서 최상층인 p형층(35), 활성층(33) 및 n형 층의 일부를 제거하고 n형 반도체에 전극인 금속 접착을 하는데 이렇게 여러 층을 제거하는 방법으로 건식식각법을 사용한다. 본 발명에서는 표면격자를 형성하는 부분이 발광부(51)를 제외한 부분에 형성하므로 건식 식각법으로 p형 층(35)에서 n형 층(31) 일부까지 식각할 때 동시에 형성 될 수

있도록 하였다. 식각을 위한 사진공정 마스크에 제3도에서처럼 표면격자의 모양을 배치하고자 하는 위치에 삽입하여 공정한다. 이렇게 소자 공정에서 피할 수 없는 식각공정에서 동시에 형성할 수 있게 함으로서 별도의 사진공정 마스크의 제작이 필요 없고, 또한 추가적인 표면격자 형성공정이 필요 없으므로 일반소자에 비해 추가적인 공정시간이 소요되지 않는다는 두 가지 장점이 있다. 무엇보다 가장 큰 장점은, 소자의 표면적을 효율적으로 사용한다는 데에 있다. 기존 소자의 공정에서 공정이 완료된 후 소자의 패키지를 위해 각각의 소자를 분리하는 절단공정을 하게 되는데, 이런 절단공정을 위해 소자간의 사이를 40um ~ 60um 정도 여유를 두게 되는데, 이러한 여유공간은 아무런 용도가 없는 단지 공정여유를 위한 공간이다, 이러한 공정여유를 위한 공간에 표면격자를 형성함으로서 외부양자효율을 높일 수 있다는 것이다.

<28> 제 5도에서 보이는 것처럼 표면격자를 형성하는데 있어서 별도의 공정을 통해 n형(31)의 일부분에서만 표면격자를 형성하는 것도 가능하지만 추가적인 공정이 필요하다는 단점이 있다. 추가적인 공정은 n형 전극형성을 위한 건식식각 공정 이후에 n형 반도체층(31)에 다시 건식식각을 통해 표면격자를 형성하는 것이다.

<29> 제 6 도는 일반적인 소자와 본 발명을 통해 제작된 소자의, 소자에 인가된 전류에 대한 소자의 휘도를 비교한 도표다. 이 그림을 통해서 알 수 있듯이 소자 제작시 일반적인 소자에 비해, 표면격자를 형성한 소자의 경우, 형성된 표면격자의 그 크기 및 모양에 따라 조금의 차이는 있지만, 평균 10~15 정도의 휘도증가율을 보인다. 더욱 높은 외부 양자효율을 얻기 위해서 표면격자를 형성하는 영역을 증가하면 가능하지만 발광부의 크기를 증가하는 것 보다 파워의 증가가 적어서 그 실효가 미미하다. 따라서 실재 제작하는 소자와 그 크기가 동일하면서 높은 외부 양자 효율을 갖는 것이 무엇보다 중요하다 하겠다.

【발명의 효과】

<30> 일반적인 GaN를 기본으로 하는 III 족-N 화합물 반도체 LED소자에 있어서, 제2도에서 보이는 것처럼 소자간의 절단을 위해서는 절단공정의 여유를 위해 반드시 충분한 여유 공간을 두게 되는데 이러 여유 공간에 표면결자를 형성하여 기존 소자와 그 크기가 동일하고, n형 전극을 형성하기 위해 피해 갈수 없는 식각공정에서 동시에 구현되어 기존 발광소자 제작과 공정순서 혹은 방법의 변화가 전혀 없이 똑같은 공정 및 소자 크기에서, 단지 전극형성을 위한 사진공정에 사용되는 마스크에 형성하고자 하는 표면결자의 모양만 삽입하여 일반적인 소자에 대비 휘도를 10~15 를 증가시킬 수 있다.

【특허청구범위】

【청구항 1】

기판 위에 적절한 버퍼층, 하층의 $n\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층, $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 활성층, $p\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층의 적층 구조를 구비한 화합물 반도체 발광 디바이스에 있어서, 최상층에 접하여 전면 또는 일부에 제 1 전극을 형성하고, 상기 p 층, 활성층 및 하층의 n 층의 일부를 제거하여 노출된 n 형 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ 층에 접하여 n -ohmic 금속으로 제 2 전극을 형성하고, 발광부를 제외한 칩의 발광부 가장자리에 상기 p 층, 활성층 및 하층의 n 층의 일부를 부분적으로 제거하여 격자를 구성하고, 제 1 전극상에 본딩 pad를 형성한 후에 chip 표면의 전부 또는 일부에 절연성 보호막을 형성하는 화합물 반도체 소자.

【청구항 2】

제 1 항에 있어서, p 형 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층과 금속 전극 사이에 고농도의 n , p - $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층이나 이 물질들로 이루어진 초격자 구조층이 삽입된 화합물 반도체 소자.

【청구항 3】

제1항, 제 2항에 있어서, 발광부 가장자리에 형성된 격자의 평면 모양은 원, 타원, 사각형, 삼각형 또는 육각형 배열인 화합물 반도체 소자.

【청구항 4】

제1항, 제 2항에 있어서, 발광부 가장자리에 형성된 격자의 단면 모양은 사각형, 사다리꼴, 반구, 삼각형의 1개 또는 2개 이상의 패턴의 조합으로 만들어진 화합물 반도체 소자.

【청구항 5】

제 1항, 제 2항에 있어서, 제 1 투광성 전극으로 니켈, 금, 은, 백금, 크롬, 티타늄, 알루미늄, 로듐 중에서 1개 또는 2개 이상의 조합으로 이루어진 화합물 반도체 소자.

【청구항 6】

제 1 항, 제 2항에 있어서, 제 1 전극의 두께가 각각 $0.0001\mu\text{m} - 10\mu\text{m}$ 인 화합물 반도체 소자

【청구항 7】

제 1항, 제 2항에 있어서, p-layer의 두께가 $0.01\mu\text{m} - 2\mu\text{m}$ 인 화합물 반도체 소자

【청구항 8】

제 1항, 제 2항에 있어서, 격자의 상측면의 폭이 $0.1\mu\text{m} - 1\text{mm}$ 인 화합물 반도체 소자.

【청구항 9】

제 1항, 제 2항에 있어서, 격자의 바닥면의 폭이 $0.1\mu\text{m} - 1\text{mm}$ 인 화합물 반도체 소자.

【청구항 10】

제 1항, 제 2항에 있어서, 절연성 보호막으로 산화 규소, 질화 규소, 질화 알루미늄, 산화알루미늄, 산화 티타늄인 화합물 반도체 소자.

【청구항 11】

기관 위에 적절한 버퍼층, 하층의 $n\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층, $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 활성층, $p\text{-Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq$

1, $0 \leq z \leq 1$)층의 적층 구조를 구비한 화합물 반도체 발광 디바이스에 있어서, 최상층에 접하여 전면 또는 일부에 제 1 전극을 형성하고, 상기 p 층, 활성층 및 하층의 n 층의 일부를 제거하여 노출된 n형 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ 층에 접하여 n-ohmic 금속으로 제 2 전극을 형성하고, 발광부를 제외한 칩의 발광부 가장자리에 상기 p 층, 활성층 및 하층의 n 층을 제거하고, 같은 위치에 n층의 일부를 부분적으로 제거하여 격자를 구성하고, 제 1 전극상에 본딩 pad를 형성한 후에 chip 표면의 전부 또는 일부에 절연성 보호막을 형성하는 화합물 반도체 소자.

【청구항 12】

제 11 항에 있어서, p형 $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$)층과 금속 전극 사이에 고농도의 n, p - $\text{Al}(x)\text{Ga}(y)\text{In}(z)\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq z \leq 1$) 층이나 이 물질들로 이루어진 초격자 구조층이 삽입된 화합물 반도체 소자.

【청구항 13】

제11항, 제 12항에 있어서, 발광부 가장자리에 형성된 격자의 평면 모양은 원, 타원, 사각형, 삼각형 또는 육각형 배열인 화합물 반도체 소자.

【청구항 14】

제11항, 제 12항에 있어서, 발광부 가장자리에 형성된 격자의 단면 모양은 사각형, 사다리꼴, 반구, 삼각형의 1개 또는 2개 이상의 패턴의 조합으로 만들어진 화합물 반도체 소자.

【청구항 15】

제 1항, 제 11항에 있어서, 표면격자를 구성하는 부분의 넓이가 $5\mu\text{m} - 100\mu\text{m}$ 인 화합물 반도체 소자.

【청구항 16】

제 11항, 제 12항에 있어서, 제 1 투광성 전극으로 니켈, 금, 은, 백금, 크롬, 티타늄, 알루미늄, 로듐 중에서 1개 또는 2개 이상의 조합으로 이루어진 화합물 반도체 소자.

【청구항 17】

제 11 항, 제 12항에 있어서, 제 1 전극의 두께가 각각 $0.0001\mu\text{m} - 10\mu\text{m}$ 인 화합물 반도체 소자

【청구항 18】

제 11항, 제 12항에 있어서, p-layer의 두께가 $0.01\mu\text{m} - 2\mu\text{m}$ 인 화합물 반도체 소자

【청구항 19】

제 11항, 제 12항에 있어서, 격자의 상측면의 폭이 $0.1\mu\text{m} - 1\text{mm}$ 인 화합물 반도체 소자.

【청구항 20】

제 11항, 제 12항에 있어서, 격자의 바닥면의 폭이 $0.1\mu\text{m} - 1\text{mm}$ 인 화합물 반도체 소자.

【청구항 21】

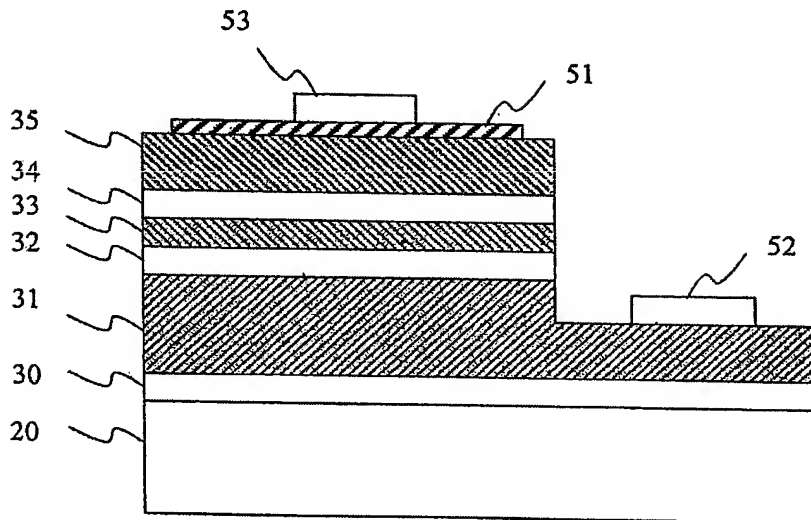
제 11항, 제 12항에 있어서, 절연성 보호막으로 산화 규소, 질화 규소, 질화 알루미늄, 산화 알루미늄, 산화 티타늄인 화합물 반도체 소자.

【청구항 22】

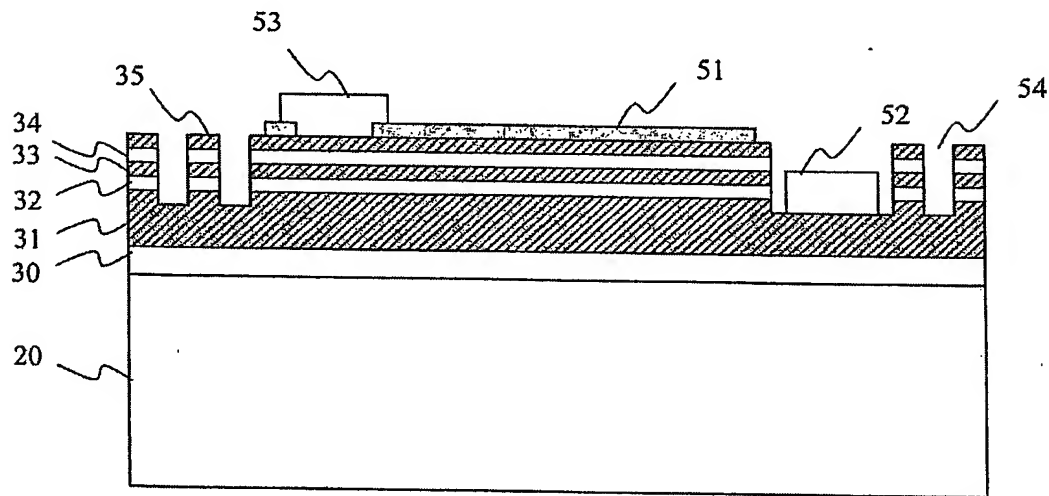
제 14항에 있어서, 표면격자가 임의의 모양 및 크기를 갖는 화합물 반도체 소자

【도면】

【도 1】



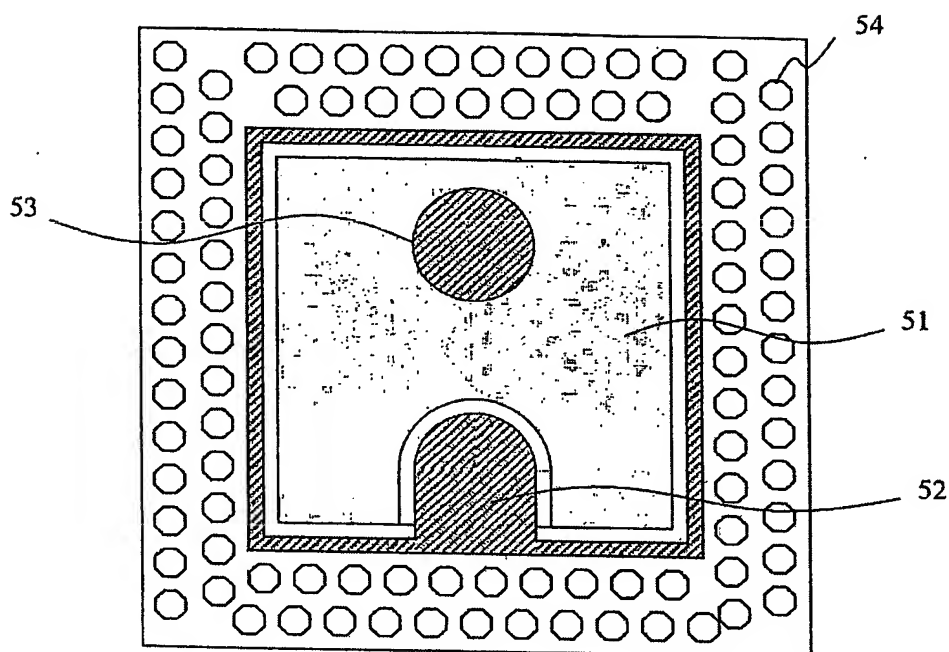
【도 2】



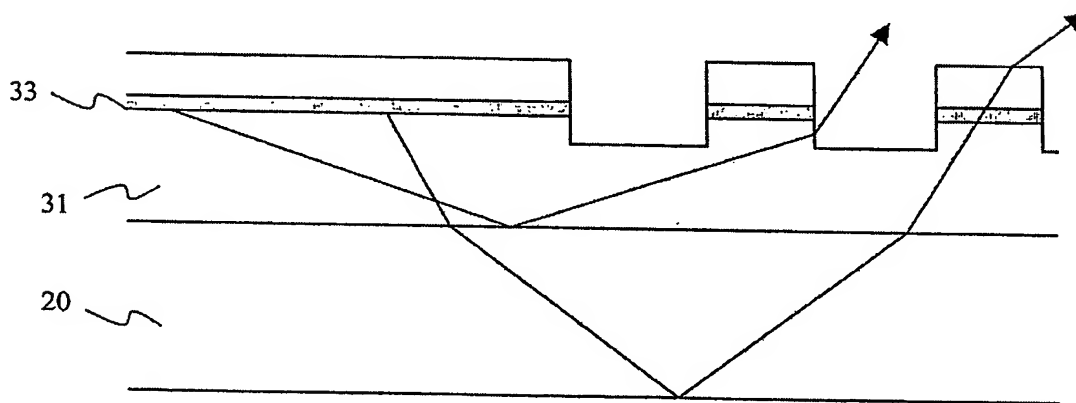
10-045059

출력 일자: 2004/7/9

【도 3】



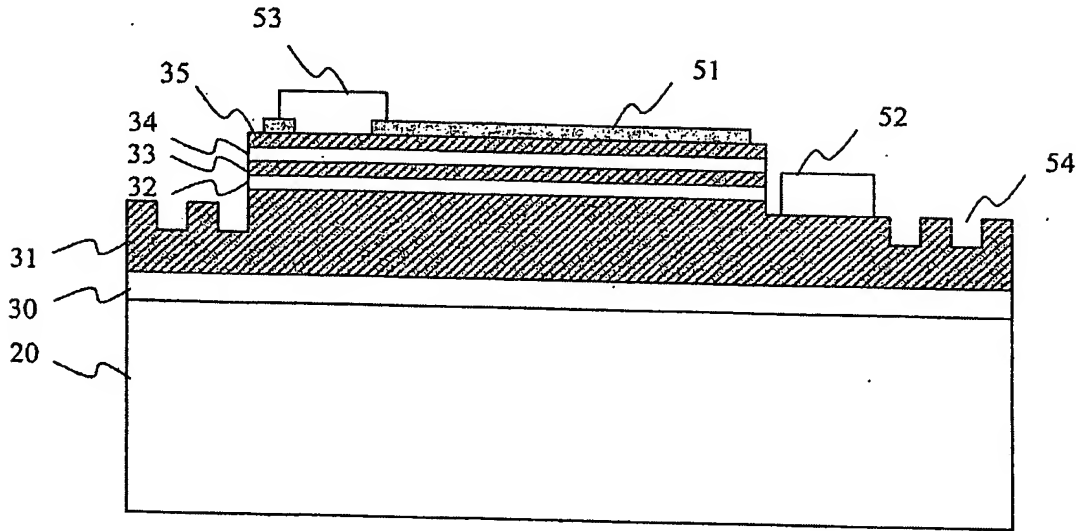
【도 4】



1 0045059

출력 일자: 2004/7/9

【도 5】



【도 6】

